

IGBT/パワーMOS FET駆動用IC (プリドライバIC) アプリケーションノート

適用製品

- ・ ECN30531F
- ・ ECN30541F

株式会社 日立パワーデバイス

安全上のご注意とお願い

半導体デバイスの取り扱いを誤ると故障の原因となりますので、必ず使用する前にこの「アプリケーションノート」を熟読し、正しくご使用下さい。



本資料のこの記号は注意を促す内容がある事を告げるものです。



注意

この表示を無視して誤った取り扱いをすると、人が傷害を負う可能性が想定される内容および物的損害のみの発生が想定される内容を示しています。



注意

- (1) 半導体デバイスを用いる電子回路の設計に当たっては、使用上いかなる外部条件の変動においても、そのデバイスに指定された『絶対最大定格』を超えないようにしてください。またパルスの用途の場合はさらに『安全動作領域(SOA)』の定格を超えないようにして下さい。
- (2) 半導体デバイスは偶発的または予期せぬサージ電圧などにより故障する場合がありますので、故障しても拡大被害が出ないような冗長設計、誤動作防止設計など安全設計に十分ご注意ください。
- (3) 極めて高い信頼性が要求される用途(原子力制御用、航空宇宙用、交通機器、ライフサポート関連の医療機器、燃焼制御機器、各種安全機器など)に使用される場合には、特に高信頼性が確保された半導体デバイスの使用および使用側でフェイルセーフなどを配慮した安全性確保をしてください。または当社営業窓口にご照会ください。

(半導体デバイスが故障すると、結果として半導体デバイスあるいは配線、配線パターンなどが発煙、発火、または半導体デバイスが破裂する場合があります。)

お願い

1. 本アプリケーションノートはパワー半導体デバイス(以下製品と呼ぶ)の仕様、特性図表、外形寸法図および使用上の注意事項について掲載した、部品選定のための資料です。
2. 本アプリケーションノートに掲載されてある製品の仕様、寸法などは特性向上のため予告なく変更する場合があります。ご注文の際は必要に応じ当社営業窓口にご連絡いただき、最新の仕様および使用上のご注意を記した仕様書またはカタログをご参照ください。
3. 本アプリケーションノートに記載された情報・製品や回路の使用に起因する損害または特許権その他権利の侵害に関しては、株式会社 日立パワーデバイスは一切その責任を負いません。
4. 最大絶対定格値を超えてご使用された場合の半導体デバイスの故障および二次的損害につきましては、弊社はその責任を負いません。
5. 本アプリケーションノートによって第三者または株式会社 日立パワーデバイスの特許権その他権利の実施権を許諾するものではありません。
6. 本アプリケーションノートの一部または全部を当社に無断で、転載または複製することを堅くお断りします。
7. 本アプリケーションノートに記載された製品(技術)を国際的平和および安全の維持の妨げとなる使用目的を有する者に再提供したり、またそのような目的に自ら使用したり第三者に使用させたりしないようお願いします。なお、輸出等される場合は外為法の定めるところに従い必要な手続きをおとりください。

来 歴 表

Rev.	年月日	頁	項目No.	変更内容
0	2006.02.03	-	-	新規作成。

<<目次>>

1. 概要	P1
2. 端子機能および等価回路	
2. 1 SUT, SVT, SWT, SUB, SVB, SWB端子	P1
2. 2 VCU, VCV, VCW端子	P3
2. 3 U, V, W端子	P5
2. 4 F端子	P5
2. 5 VCC端子	P6
2. 6 OC端子	P7
2. 7 CB端子	P7
2. 8 PGU, PGV, PGW, NGU, NGV, NGW端子	P7
2. 9 A-, AO端子 (ECN30531のみ)	P7
3. 消費電力と温度上昇	
3. 1 消費電力	P9
3. 2 温度上昇	P9
4. 使用上の注意事項	
4. 1 ブートストラップコンデンサ: C _b	P10
4. 2 ブートストラップ電流抑制抵抗: R _b	P10
4. 3 ブートストラップダイオード: D _b	P10
4. 4 ブートストラップコンデンサC _b の選定目安と上アーム最大オン時間	P10
4. 5 出力配線	P11
4. 6 入力端子のノイズに対する注意	P12
4. 7 下アーム入力の初期設定	P12
4. 8 外部出力素子の大容量化	P12
4. 9 ロジックグランドとパワーグランドの分離	P12
4. 10 VCC-GL1間の過電圧破壊防止	P13
4. 11 R _s シャント抵抗について	P13
4. 12 NC端子配線についての注意	P14
4. 13 ピン間絶縁について	P14
4. 14 その他	P14

ECN30531/30541 アプリケーションノート

1. 概要

ECN30531と30541は、従来製品ECN3053/3054の新バージョンです。MOS (Metal Oxide Semiconductor Field Effect Transistor), IGBT (Insulated Gate Bipolar Transistor)等を用いた三相ブリッジのゲート駆動用ICであり、特にAC200~230V系の三相インダクションモータ、DCブラシレスモータの可変速制御用に最適です。

ECN30531とECN30541の相違点は、オペアンプの有無(30531:有、30541:無)とピン配置のみです。

図1にシステム構成の基本ブロックを示します。

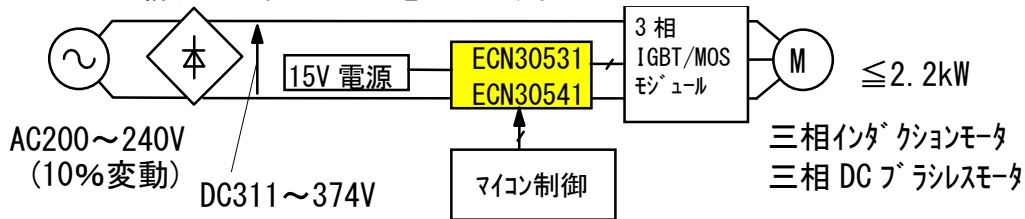


図1. 三相モータ可変速システム構成

30AクラスのIGBTまたは、MOSを駆動することができ、出力2.2kWクラス迄の三相モータを可変速制御することができます。

三相インダクションモータの適用モータ出力は、一般的に下式で求められます。

$$\text{モーター出力} = \sqrt{3} \times V_S \times I_M \times \cos \phi \times \eta$$

V_S : 直流電圧 I_M : モータ電流 $\cos \phi$: 力率 ≈ 0.8 η : モータ効率 ≈ 0.8

2. 端子機能および等価回路

2.1 SUT, SVT, SWT, SUB, SVB, SWB端子

- ・上アーム素子入力(添字Tで表示)3個、下アーム素子入力(添字Bで表示)3個の計6個の入力端子を持っています。SUB, SVB, SWBがそれぞれ下アーム素子のU, V, W相入力、SUT, SVT, SWTがそれぞれ上アーム素子のU, V, W相入力です。これら、入力端子と出力端子の対応を、表1に示します。

表1. 入力端子と出力端子の対応表

アーム	U相	V相	W相
上アーム	SUT: PGU	SVT: PGV	SWT: PGW
下アーム	SUB: NGU	SVB: NGV	SWB: NGW

- ・6個の入力端子は、5V CMOSレベルで駆動できます。
- ・入力論理は、負論理となっており、入力電圧がローレベルのとき対応する外付け出力素子がオン駆動されます。外部出力素子は、IGBTまたはNチャンネルMOSのように、エミッタまたはソースに対してゲートが正電位でオンとなる素子を使用して下さい。
- ・6個の入力端子は、IC内部でV_{cc}にプルアップ(TYP. 200k Ω)されています。ECN30531をマイコン直結で使用される場合、マイコン出力ポートの耐圧およびラッチアップ防止のため、6個の入力端子に図2のプルアップ抵抗R_Hが必要です。

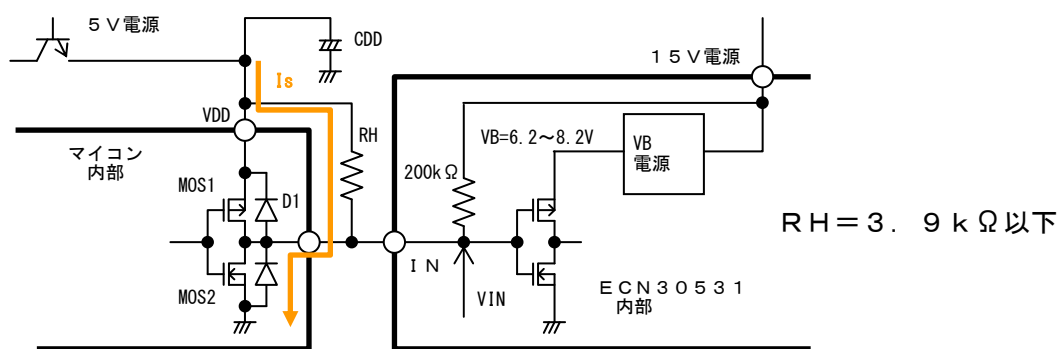


図2. マイコン直結の場合の入力端子プルアップ

- 図2に示した入力端子プルアップの場合、マイコン出力電圧がLのとき抵抗RHを通して電流が流れることになり、この電流が $I_s = 1\text{mA}$ 以上となります。これを避ける方法の一つに、RH抵抗の代わりに図3に示すような分圧抵抗器R1, R2の付加が考えられます。一例として $R_2 = 22\text{k}\Omega$ 、 $R_1 = 10\text{k}\Omega$ と選んだ場合、 $I_s = 0.68\text{mA}$ となります。

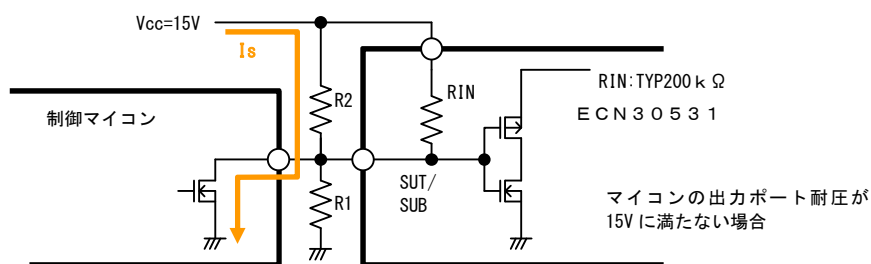


図3. マイコン直結の場合の入力端子分圧器抵抗付加

・デッドタイム

- 図6に示すように各相の外部出力素子は、上アームと下アームがトータムポール構成となっています。同相の上下アームが同時オンした場合、外部出力素子およびICが破壊する恐れがあります。これを防止するため同時オンを禁止する回路が内蔵されています。（製品仕様書の真理値表を参照下さい。）ただし、この回路は入力論理ベースでのみ作用し、出力遅延時間まで含めたものではありません。従って、同相上アーム（下アーム）オフから同相下アーム（上アーム）オンへ出力制御を移行する場合、いかなる瞬時も同時オンのタイミングがないようデッドタイムを設定する必要があります。
- デッドタイムをIC側で発生しませんので、入力信号側でデッドタイムを設けて下さい。デッドタイムは、IC内出力と外部出力素子のオン、オフ遅延時間の総和の2倍以上として下さい。（高温により遅延時間が増大する場合を除く。）

・レベルシフト回路

・上アーム制御回路は、【外部出力素子の出力電圧降下+制御電圧 V_{cc} 】のフローティング電圧で動作します。レベルシフト回路は、GNDレベルを基準とした入力信号をフローティング電位となる各相出力電圧を基準とした上アーム駆動信号に変換します。IC内部では、レベルシフト回路の消費電流を減らすために、上アーム入力信号のエッジトリガによるラッチ回路構成となっています。図4に上アーム駆動回路の構成を示します。

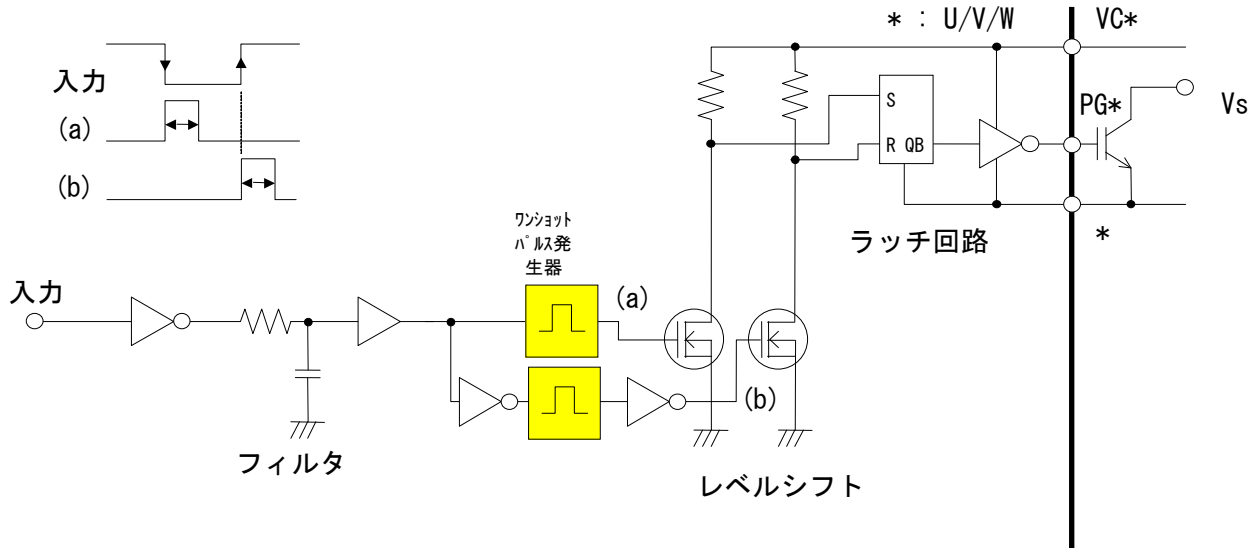


図4. 上アーム駆動回路の構成

2. 2 VCU, VCV, VCW端子

上アーム駆動用電源端子です。

・上アーム不足電圧検出機能

$VCU-U$, $VCV-V$, $VCW-W$ 間電位が上アーム不足電圧検出レベル ($10.5 V_{typ.}$) よりも低下すると、該当相の上アーム出力電圧を強制的にオフ制御とします。この場合、 $Fault$ 出力は影響を受けません。

本動作により上アームがオフすると、電源が回復しても自動復帰せず、オン信号が入力されていてもIGBTがオンすることはありません。これは、2. 1項のレベルシフト回路で述べたラッチ機能によるものです。

上アームをオンする場合は、入力信号を一旦オフモード (Hレベル入力) として再びオン信号 (Lレベル入力) を入力するとIGBTはオンします。

・上アーム制御回路の電源について

外付けIGBTは、一相当たり2個がトータムポール構成に接続されます。IGBTをオンにするためには、ゲート電圧をスレッシュホールド電圧 V_{TH} (約5V) より大きな電圧で駆動する必要があります。下アームのIGBTは、エミッタ側がグランド電位に固定されていますので、ゲートは V_{cc} 電圧で駆動します。一方上アームIGBTは、オンした場合エミッタ電位が高圧側電位 V_s 近くまで上昇しますので、そのゲートを V_s より高い電圧で駆動する必要があります。この駆動法として、フローティング電源駆動とブートストラップ駆動があります。

HITACHI

(a) フローティング電源駆動

図5にフローティング電源駆動の場合の回路ブロックを示します。

図における V_{fu} 、 V_{fv} 、 V_{fw} の3つの電源がフローティング電源です。

(b)で述べるブートストラップ方式とは異なり、この方式では上アーム出力素子のデューティの制限はありません。

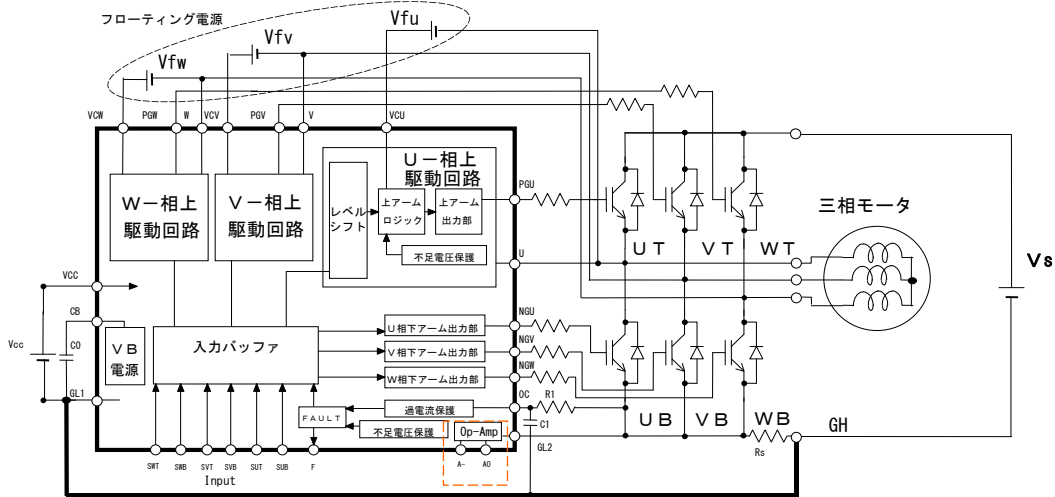


図5. フローティング電源駆動

(b) ブートストラップ電源駆動

図6にブートストラップ電源駆動の場合の回路ブロックを示します。

上アーム駆動電源として、外部コンデンサ C_b を使い、このコンデンサの一侧端子をつなぎ V_s より高い電位を得るものです。

コンデンサ C_b への充電は、制御電源 V_{cc} を使って行います。

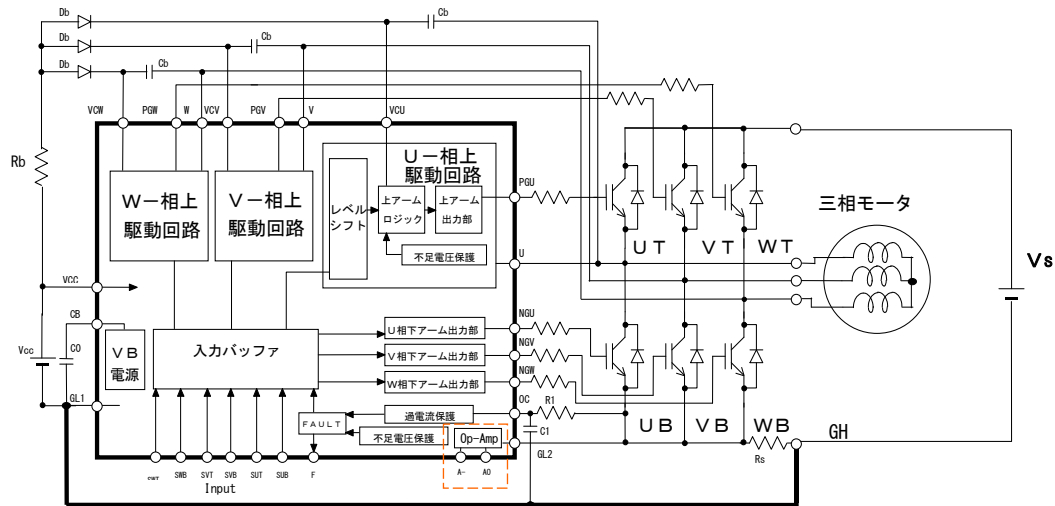


図6. ブートストラップ電源駆動

※ 図5, 6の はECN30531のみの機能

この動作原理につき以下に簡単に述べます。図7に概略回路を示します。
 下アーム外部出力素子がオンした時に初めてC bに電荷が充電されます（経路①）。
 このため、出力素子のオンデューティに制限があります。
 本駆動法はコスト的にフローティング駆動より有利ですが、上アーム回路を駆動するために動作の初期にコンデンサの充電を行う必要があります。また、コンデンサC bの値により、上アーム出力素子のオン持続時間に影響がでます。特にPWMのキャリア周波数が低い場合は、注意が必要です。（詳細は4. 4項を参照下さい。）

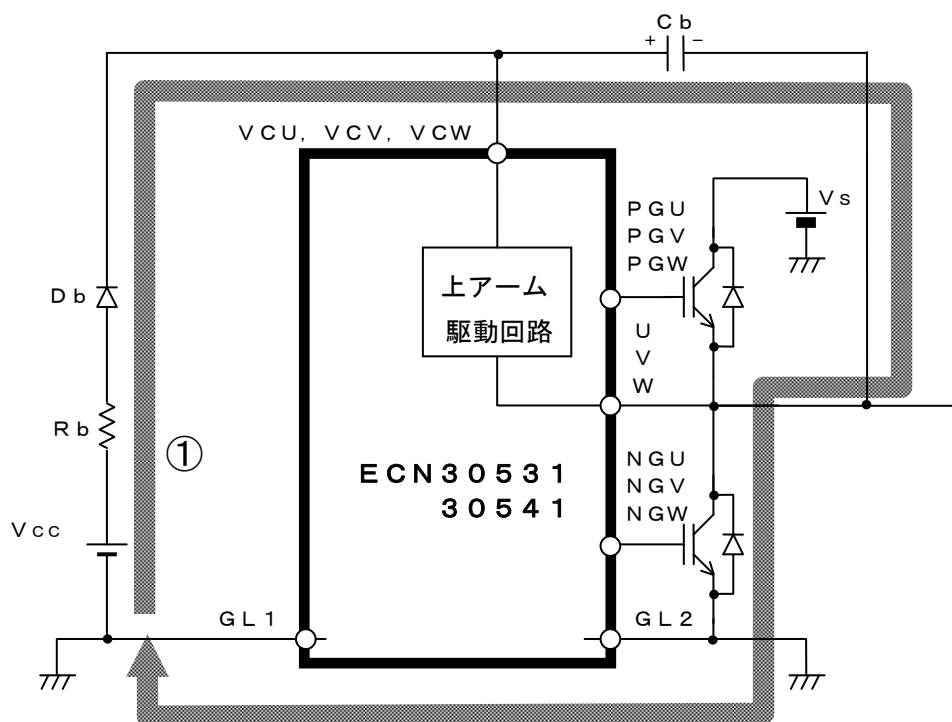


図7. ブートストラップ電源供給方法

2. 3 U, V, W端子

三相ブリッジ回路の各相中点であり、モータの巻線に接続する端子です。

2. 4 F端子

- ・ F a u l t 出力端子です。N-MOSのオープンドレインとなっており、外部抵抗R fを経由して、V c c、C Bまたは5 Vにプルアップして下さい（図8参照）。R fは、5. 6 k Ω ± 2 0 %として下さい。出力スイッチング等の影響によりF a u l t出力信号にノイズが重畳される場合は、数百p Fを目安にF-G L 1間にコンデンサを挿入して下さい。
- ・ ホトカプラを接続する場合は、図9に示す様にC B-F端子間に接続して下さい。端子出力電流は5mA (t y p.)とし、約1 k Ωの制限抵抗R f cを接続します。
- ・ F a u l t出力がLレベルまたは、Hレベル（ハイインピーダンス）になる条件の内、下アーム不足電圧検出機能は2. 5項V C C端子、過電流検出機能は2. 6項O C端子を参照して下さい。

HITACHI

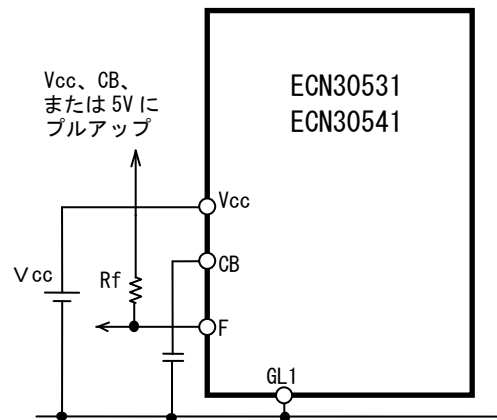


図8. Fault出力端子プルアップ抵抗接続図

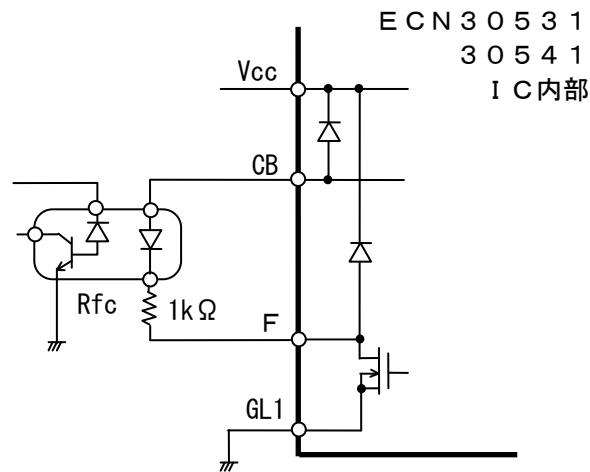


図9. Fault端子にホットプラグを接続する場合

2.5 VCC端子

- ・上アーム、下アーム駆動回路、レベルシフト回路等に用いられる高圧素子（IGBT、高圧CMOS）を駆動する電源端子です。また、内部VB電源を生成します。
- ・VCCの電源容量は、スタンバイ電流 I_{s1} にCB端子から取り出す電流を加算し、マージンを見て設定して下さい。
- ・VCCが下アーム不足電圧検出レベル（10.5V typ.）よりも低下すると全アームの出力電圧をオフ制御とし、同時にFault出力端子ロジックをLにします。
- ・再びVcc電圧が下アーム不足電圧検出レベルを超えて上昇すると、Fault出力端子は、Hレベル（ハイインピーダンス）に復帰します。

HITACHI

2.6 OC端子

- ・過電流検出信号入力端子です。OC端子電圧がOC入力しきい値 V_{oc} (0.49V TYP.)を越えると、全アームの出力電圧をオフ制御とし、同時にFault出力端子をLとします。Fault出力は、リセット動作を行うまでLレベルに固定されます。
- ・リセット動作を行うと、Fault出力はHレベル（ハイインピーダンス）に復帰します。
- ・リセットは、6個の上下アーム入力端子を全てHレベルとして下さい。なおHレベルは、30 μ sの期間以上を入力して下さい。
- ・なお、Vcc電源の再投入（下アーム不足電圧検出動作の実施）によってもリセット動作が可能です。
- ・制限電流値 I_{oc} は、 $I_{oc} = V_{oc} / R_s$ (A) となります (R_s は、外付け抵抗) で求められます。OC端子内部には、約0.4 μ sのフィルタを内蔵しています (図10参照)。ただし、ノイズによって過電流検出機能が誤動作する場合は、R1, C1による外部フィルタを追加して下さい。ただしフィルタ時定数R1, C1をあまり大きく選びますと、過電流検出信号の検出遅れが生じますから、ご注意下さい。

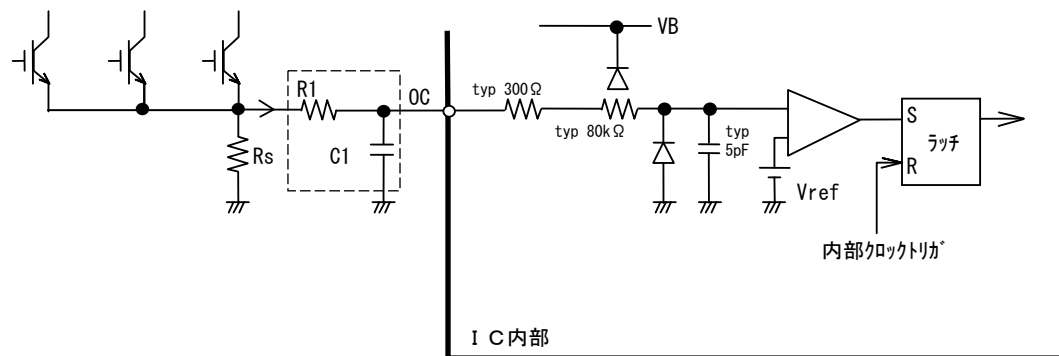


図10. OC端子の等価回路

2.7 CB端子

- ・内部VB電源の出力端子です。VB電源で、入力バッファ、下アーム検出、Faultロジック等の回路を駆動します。この内部電源7.5V (typ.)はVcc電源より生成されます。
- ・CB端子には発振防止用コンデンサC0を接続して下さい。容量は0.22 μ F \pm 20%を推奨します。
- ・CB端子に外部回路等を接続する場合、電源の安定化を目的としてコンデンサを追加する場合は、数 μ F程度にとどめて下さい。C0が大きいと電源シーケンス等の過渡時において、IC内部VB電源の動作に遅延が生じ、IC出力が誤動作する場合があります。やむを得ず大きなコンデンサを追加する場合は、VB電源が十分安定した後で入力を与えるようにして下さい。
- ・VB出力電流は、IB規格15mAを越えないようにして下さい。VB出力電流が大きいと、電源シーケンス等におけるVCCの立ち上がり立ち下がりにおいて、VCCと内部VB電源に差が生じ、内部ロジック回路の誤動作が発生する場合があります。VB出力電流が大きくなる場合は、VB電源が十分安定している状態で入力をコントロールするようにして下さい。

HITACHI

2. 8 PGU, PGV, PGW, NGU, NGV, NGW端子

・PGU, PGV, PGW端子

三相ブリッジ回路上アーム素子のゲートを制御する出力端子です。

・NGU, NGV, NGW端子

三相ブリッジ回路下アーム素子のゲートを制御する出力端子です。

外部出力素子は、本ICにとって容量性負荷と見なせます。このため、IC出力回路としては、ソースとシンク動作が必要です。IC出力部 (PGU/V/W, NGU/V/W) は、C-MOS構成となっており上下アームとも

ソース電流 0.25A (TYP.)

シンク電流 0.50A (TYP.)

の能力があります。下アーム出力電圧振幅は、約 V_{CC} に等しい値であり、上アーム出力電圧振幅は、【外部出力素子の出力電圧 (U, V, W端子電圧) + 約 V_{CC} 】となります。

2. 9 A-, AO端子 (ECN30531のみ)

・電流センス電圧増幅用のオペアンプの端子で、ECN30541にはこれらの端子および機能はありません。

・オペアンプを使用する場合は、図11の内部回路に従い、ゲイン抵抗を外付けして下さい。オペアンプを使用しない場合、オペアンプ出力レベルを固定するために、A-は、CBに接続して下さい。この時、オペアンプ出力AOは、約0Vに固定されます。

ただし、配線の引き回しの問題からA-をCBに接続できない場合は、AOとA-を接続して下さい。この時、AOはGL2端子電圧とほぼ同電位となります。

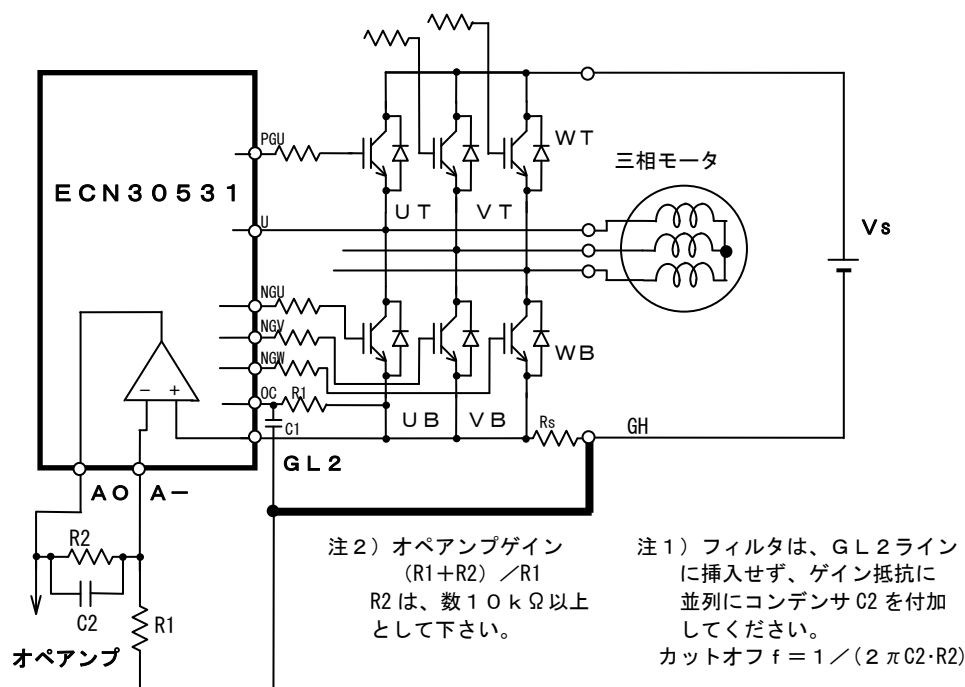


図11. オペアンプを使用する場合の接続

3. 消費電力と温度上昇

3. 1 消費電力

本 IC の消費電力は、

- 1) IC の負荷となる外付け MOS / IGBT のゲート容量の充放電に要する出力回路の電力損
- 2) IC 内部のレベルシフト等に要する電力損
- 3) IC 内部の寄生容量の充放電に要する電力損

に大別されます。

制御電源電圧 $V_{CC} = 15V$ 、高圧駆動電源電圧 $V_s = 280V$ 、駆動 IGBT の入力容量 $C = 1000pF$ (15A 相当) の場合における、PWM 周波数による消費電力変化の計算値を図 12 に示します。

3. 2 温度上昇

図 12 から、PWM 周波数 $f = 16kHz$ において消費電力 PD は約 0.17W となります。例えば、SOP28 パッケージにおいて、基板実装状態における基板サイズを $120 \times 21 \times 1.6mm$ 、配線密度 30% の場合、IC の接合一周囲温度間の熱抵抗の参考値は、

$$R_{ja} = 84^{\circ}C/W$$

です。温度上昇 δT は下式で求められます。

$$\delta T = 0.17 \times 84 = 14.3^{\circ}C \text{ となります。}$$

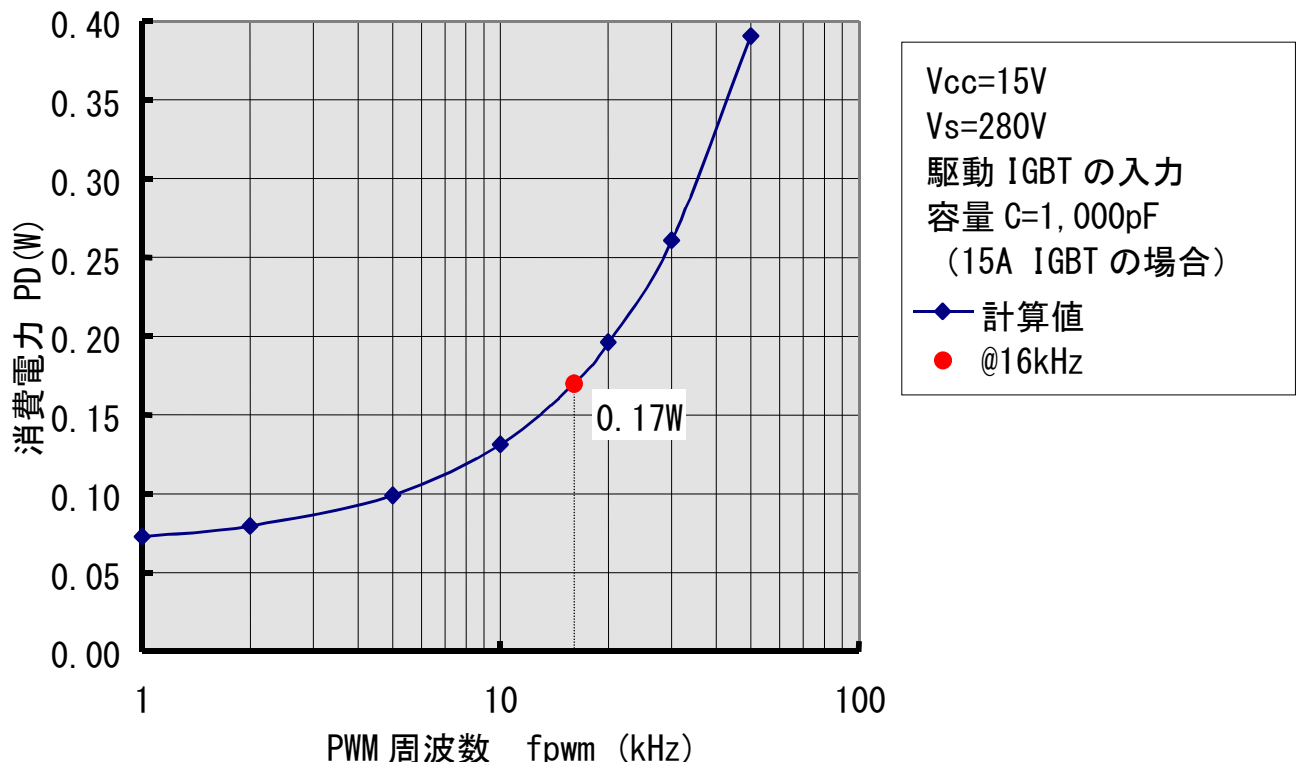


図 12. 消費電力の PWM 周波数依存性の計算例

4. 使用上の注意事項

4. 1 ブートストラップコンデンサ: C_b

- ・ブートストラップ用コンデンサ容量の最適値は、スイッチング周波数、出力素子のオンデューティ、外付け素子の IGBT または、MOS のゲート容量によって変化します。上アーム出力素子のオン期間が長く続くと上アーム不足電圧保護が働くことがあります。下記 4. 4 項の計算例を参照して下さい。
- ・C_b は、上アーム制御回路の過電圧による破壊を防止するためにできるだけ I_C の近くに接続して下さい。

4. 2 ブートストラップ電流抑制抵抗: R_b

ブートストラップ動作時の C_b 初期充電電流 (突入電流) を制限するために、R_b は重要です。突入電流が大きいと以下の悪影響をもたらしますので R_b は必ず挿入して下さい。

1) ブートストラップダイオード D_b のサージ電流破壊

ダイオードのサージ電流許容値以下となるよう R_b を設定して下さい。

2) 過電流保護機能の誤動作

C_b 突入電流は、下アーム外部出力素子を介して過電流検出用のシャント抵抗に流れます。この電流が過電流検出レベルよりも大きいと I_C は過電流保護動作を起こします。過電流検出レベル以下となるよう R_b を調整して下さい。

3) 上アーム制御回路の過電圧破壊

突入電流が大きいと配線系のリアクタンス成分が影響し、外部出力素子のスイッチング時に過電圧を発生する場合があります。この過電圧が大きいと I_C の破壊を招きます。過電圧を発生させないよう突入電流を抑制するとともに 4. 1 項に示すように C_b コンデンサの配置を工夫して下さい。

4. 3 ブートストラップダイオード: D_b

ダイオード D_b は、耐圧 600V 以上で順方向電圧が十分小さく、逆回復時間 t_{rr} が 100ns 以下のものを推奨します。順方向電圧が大きいと上アーム制御電圧が低下します。また t_{rr} が大きいと上アーム外部出力素子がオンした際に D_b の逆回復電流 I_{rr} が V_{CC} 電源に流れ込み電源供給効率を低下させます。

4. 4 ブートストラップコンデンサ C_b の選定目安と上アーム最大オン時間

- ・ブートストラップ動作しない状態では、上アーム制御電源は制御回路の漏れ電流と、上アーム外部出力素子のゲートチャージ電流により消費され電源電圧が次第に低下します。電源電圧が上アーム不足電圧検出レベルに達すると上アームはオフします。このオン持続時間を上アーム最大オン時間 t_{onmax} とします。従って、C_b の容量値は上アームのオン時間を持続させるために重要な要素です。
- ・ブートストラップ充電が $G_L 2 = -1V$ で起こり、ダイオード D_b 順電圧 $V_f = 1V$ と仮定します。この時、 $V_{CC} = 15V$ とすると、C_b は 15V に充電されています。ドライブする IGBT/MOS のゲートを 15V まで充電するのに必要な全ゲート電荷を Q₁ クーロンとし、上アーム制御回路の漏れ電流を 30μA とします。漏れ電流は I_C の電気的特性、スタンバイ電流 I_{s2} で表わされます。C_b 電圧が 15V から、上アーム不足電圧検出レベル上限 12V まで降下してくる時間が上アーム最大オン時間 t_{onmax} となります。以上から計算式は以下のように表わされます。

$$15 \cdot C_b - Q_1 - 30 \mu A \cdot t_{onmax} = 12 \cdot C_b$$

C_bは、システム上から要求される上アーム最大オン時間 t_{onmax} とドライブするIGBT/MOSの必要全ゲート電荷Q₁により選定して下さい。

下記に計算例を示します。

C _b (μ F)	ゲート電荷Q ₁ (μ C)	上アーム最大オン時間 t_{onmax} (ms)	出力素子例 (ルネサステクノロジ型式)
1.0	0.036	99	500V/10A MOS (2SK1516)
1.0	0.085	97	600V/15A IGBT (2SH27)
3.3	0.085	327	600V/15A IGBT (2SH27)
5.6	0.085	557	600V/15A IGBT (2SH27)

一般的なC_bの容量値として、3.3 μ Fを推奨しますが、ご評価の上決定して下さい。
なお、標準的なアプリケーションとして以下を推奨しています。

D_b: 日立高速ダイオード DFG1C6 (ガラスモールド)

またはDFM1F6 (レジンモールド)

【600V/1A、T_{rr}=100ns】

C_b: 3.3 μ F \pm 20%【ストレス電圧15V】

R_b: 3.3 Ω \pm 20%【2W以上】

なお、IC出力と外部出力素子の間に発振防止用にコンデンサを設ける場合(次項4.5のケース)は、このコンデンサの容量も考慮してください。

4.5 出力配線

本ICの出力端子と外部のIGBTまたはMOSFETを接続する配線は、極力短くして、配線インダクタンス成分を最小にして下さい。配線のインダクタンスL_wと外部出力素子のゲート容量C_gとで定まる周波数でICの出力波形が振動します。この振動電圧が、ICの最大定格(例えば、U相上アーム出力では、PGU-U間電圧20V、U相下アーム出力では、NGU-GL1間20V)を越えるとICが破壊することがあります。このため、図13に示すようにIC各相上下アーム出力端子のICに近い位置に、

コンデンサC_P=560pF 及び、
(配線長が30cm程度の場合、配線長により加減する。セラミックコンデンサ使用)
ゲート直列抵抗R_g \approx 100 Ω

(20AクラスIGBTの場合、外付け素子の電流容量が小さい程増加する。)を接続して下さい。

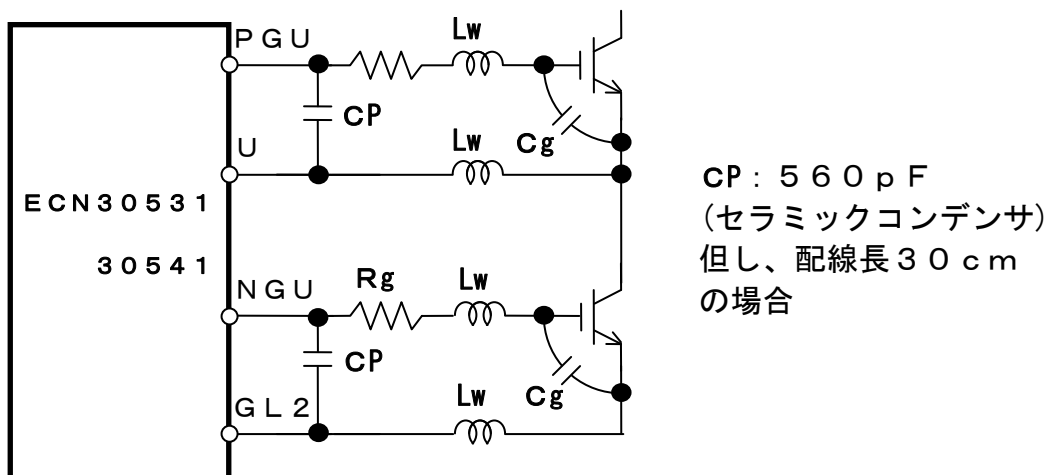


図13. 振動防止用コンデンサC_Pの付加 (U相のみ表示)

4. 6 入力端子のノイズに対する注意

6個の入力端子は、入力インピーダンスが大きいため外部出力素子のスイッチング動作時の dv/dt ノイズを受けやすくなっています。このため、プリント基板の設計においては、特に、外部出力素子のスイッチングノイズが、6個の入力端子に回り込まない様に注意して下さい。ノイズが入力されるとICの誤動作、過熱、及び過電圧の発生等によりICが破壊する場合があります。

特に、バラック配線等で評価する場合、図14のフィルタを6個の入力端子に挿入するとノイズに対して効果的です。この場合、入力パルスの遅延が生じますので外部出力素子の上下アーム短絡が起こらないか確認して下さい。上下アーム短絡時の電流は大電流となるため、グラウンドラインが振動しICへの過電圧印加を招く場合があります。

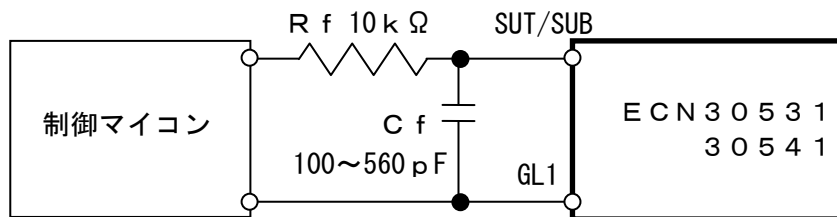


図14. 入力フィルタの挿入

4. 7 下アーム入力の初期設定

上アーム電源供給にブートストラップ方式を採用する場合、上アーム制御回路はブートストラップコンデンサ C_b が、約1.1V以上に充電されないと上アーム出力素子はオンしません。電源投入時、コンデンサ C_b は下アームがオンしないと初期充電が行われず電源電圧は零と考えられます。 C_b の充電は、該当する相の下アームをオンにすることにより行われます。初期設定時の下アームオン時間は、図7（経路①）の充電回路のインピーダンスと $R_b \cdot C_b$ 値により選定します。一般的には、電源投入後初期設定として、 $T = R_b \cdot C_b$ の3倍以上の下アームオンパルス幅を入力するか、 $T = R_b \cdot C_b$ の下アームオンパルスを3発以上入力することを推奨します。

4. 8 外部出力素子の大容量化

ICの出力端子に外部CMOSバッファを接続することにより、外部出力素子の大容量化が理論的に可能です。

ただしこの場合、外部出力素子を高速で大電流スイッチングするために、はね上がり電圧や振動が生じやすく、ICの誤動作や素子の破壊をまねく可能性が高くなります。これらの増大するノイズや過電圧等を未然に防ぐために、プリント基板設計がより重要なウェイト占めてくるものと考えます。従って、外部出力素子の大容量化にあたっては、ノイズ、過電圧発生等の抑制を充分評価した上でご使用くださるようお願いいたします。

4. 9 ロジックグランドとパワーグランドの分離

図5、6に示すブロック図において、 V_S 電源はモータ制御によって高電圧かつ大電流が発生し、 V_S 電源系GND配線（パワーグランド）に電流が流れます。

この電流が制御電源 V_{CC} のGND配線（ロジックグランド）に流れると、共通インピーダンス効果により V_{CC} 電源電圧に影響を及ぼします。よって V_S 電源系の電流をロジックグランド側に流れないようにする必要があります。このためには、ロジックグランドとパワー

HITACHI

グラウンドを分離するようにプリント基板上の配線を考慮してください。双方の配線は、プリント基板上で分離して配線し、電源の近くで共通化（図5、6 1番下のGL1とGHを結ぶ太い線で示す）すると理想的です。

4. 10 VCC-GL1間の過電圧破壊防止

VCC端子は、出力電流を供給する端子です。よって、VCC端子には出力がオンするたびに出力電流相当の数百mAピークのパルス電流が流れています。VCC配線に配線インダクタンスがあると、パルス電流によって $L \frac{di}{dt}$ のノイズがICのVCC端子に発生します。このノ

イズが、VCCの最大定格を越えるとICが破壊する場合があります。このため、配線のインダクタンス成分を低減するために、配線を太くするなどの工夫をして下さい。また、VCC端子にできるだけ近い位置にコンデンサ等を接続して下さい。電解コンデンサとともに並列に数百～数千pF程度のセラミックコンデンサ（いわゆるパコン）を備えると効果的です。電解コンデンサの容量値はブートストラップコンデンサC_bの10倍以上を目安として下さい。

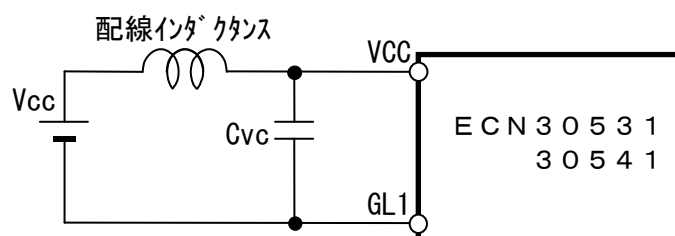


図15. Vcc電源コンデンサの付加

4. 11 R_sシャント抵抗について

- ・ 過電流保護動作レベルを決定するシャント抵抗R_sおよびその配線系において、できるだけインダクタンス成分を生じないようにして下さい。（図16参照）
- ・ 過電流保護動作時において、このインダクタンス成分（L_s）と電流のdi/dtからシャント抵抗R_sにマイナスサージ電圧が発生する場合があります。この電圧は、ICのGL2-GL1端子間および、下アーム出力NGU, NGV, NGW端子（MOS/IGBTのゲート容量結合を介して）にマイナスのストレス（V_a）が印加され、最悪ICが破壊する恐れがあります。このマイナスサージ電圧は、GL1端子基準としてGL2, NGU, NGV, NGWの各端子間において、-5Vを越えないようにして下さい。
- ・ サージ電圧の抑制には、下記方法が効果的です。
 - ① シャント抵抗R_sの配線を極力短くする。
 - ② 無誘導型のシャント抵抗を使用する。
 - ③ シャント抵抗と逆並列接続にダイオードD_sを付加し、サージ電圧をクランプする。この場合、ダイオードの接続箇所および容量の選択により効果が異なりますのでご注意ください。ダイオードはファーストリカバリーダイオードを推奨します。定格はモータ電流に応じて選択して下さい。

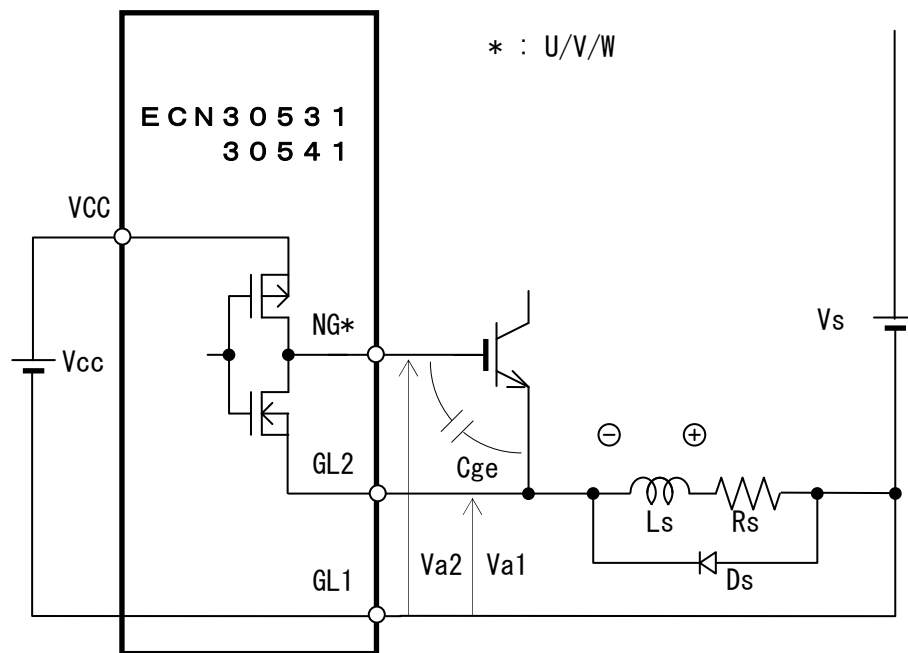


図16. シャント抵抗における過電圧の発生

4. 12 NC端子配線についての注意

すべてのNC端子は、IC内部（チップ）の接続のために使用していません。そのため絶縁耐圧は600Vを越えます。しかし、本ICの動作特性上、寄生容量の一部を構成しています。ピン間の容量値は数十pF程度です。このため、プリント基板設計においてNCピンに配線を接続される場合は、本寄生容量を考慮して設計してください。

4. 13 ピン間絶縁について

- ・ 下記ピン間には高電圧が印加されます。
 ECN30531 : 17-19, 21-22, 24-26
 ECN30541 : 16-18, 20-22, 24-26
- ・ ICのピンにコーティング処理又はモールドを施すことを推奨いたします。コーティング樹脂は多種多様で、基板の大きさ、厚さなどの形状、その他部品からの影響などが、半導体デバイスにどのような熱的、機械的ストレスが加えられるか不明な点があります。コーティング樹脂の選択に当たっては、基板メーカーとご相談の上使用頂くようお願いいたします。

4. 14 その他

その他の内容につきましては、必ず最新版の「高耐圧IC取扱説明書」を参照してください。