

# 日立パワーデバイス技術情報 PD Room

9月に入りまして虫の音も一段と大きくなり秋の便りが聞かれる頃となりました。

今回から4回にわたりまして IGBT モジュールでインバータを構成した場合の設計技術の一つ上下アーム間のデットタイムについて述べます。

各種電源装置は電力用半導体素子の高周波スイッチング化が進み、主として制御性や電源利用率の観点からデットタイムの問題が発生してきます。デットタイムの設定に対して IGBT 素子のスイッチング遅延時間がどのように影響するかいろいろな面より検討してみます。

主な検討内容と致しましては

- 1) ロジック上でのデットタイムと IGBT 素子でのデットタイムの関係 (本号掲載)
- 2) IGBT のスイッチング波形とスイッチング遅延時間の計算式 (11号掲載予定)
- 3) スwitching遅延時間へのコレクタ電流、接合温度の影響 (12号掲載予定)
- 4) デットタイムの検証例 (13号掲載予定)

等です。尚デットタイムについてはその応用製品や、使用部品の特性バラツキ等に対する考え方によりマージンの設定が異なってきます。デットタイムの設定に対してはこれらマージンについて十分な留意が必要です。

## ロジック上でのデットタイムと IGBT 素子でのデットタイムの関係

### 1) 主回路構成例

電圧形インバータを例にします。

図1に主回路構成例(1相分)を示します。直流電圧  $E_0$  のPN間に上下アームを備えた例です。上下アームの IGBT が交互にオン、オフを繰り返すモードを想定しています。

同時点弧(通流)による電源短絡を防止するため、制御信号上に上下 IGBT オフ期間(デットタイム)を設定致します。非ラップ期間と言う場合もあります。

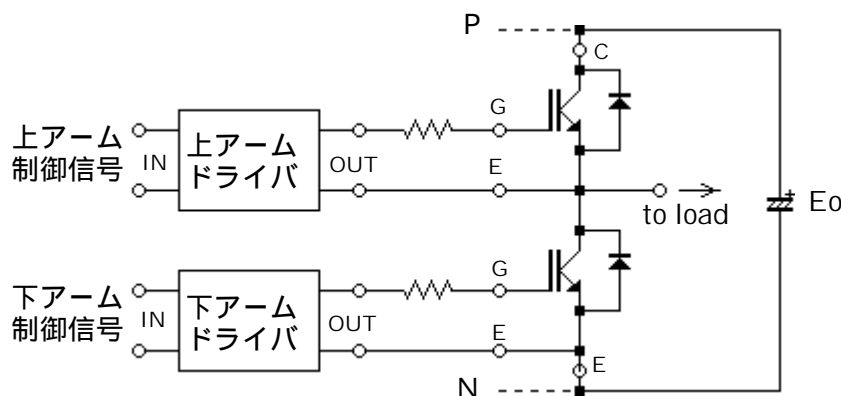


図1 . 主回路構成例 (上下アーム一相構成)

## 2) ロジック(論理回路)上のデットタイムと IGBT 出力端子(C,E)でのデットタイム

図2に制御信号、ドライバ出力電圧、IGBT コレクタ・エミッタ間電圧の位相関係を示します。

論理回路上のデットタイム(TD)は、ドライバ出力電圧での遅延(図2でのt1,t3)と、IGBT素子のスイッチング遅延(図2でのt2,t4)によりズレを生じ、TD'と変化します。

各遅延時間 t1 ~ t4 は

- t1: オン制御信号 -  
オンドライブ電圧  
出力遅延時間
- t2: オンドライブ電圧 -  
IGBT ターンオン  
出力遅延時間
- t3: オフ制御信号 -  
オフドライブ電圧  
出力遅延時間
- t4: オフドライブ電圧 -  
IGBT ターンオフ  
出力遅延時間

(但し、各々についてアーム上下での差異は無いものとする)です。

論理上で設定されたデットタイム(TD)と IGBT の CE 間でのデットタイム(TD')の関係は、次式ようになります。

$$TD' = TD - (t3 + t4) + (t1 + t2) \dots (1)$$

この様に、論理回路上でデットタイム(TD)は、遅延時間 t1 ~ t4 の大小で変化し、実際のデットタイム(TD')となります。

従って、ドライバ系での遅延(t1,t3)と IGBT 素子の遅延(t2,t4)の検討、及び検証を必要といたします。

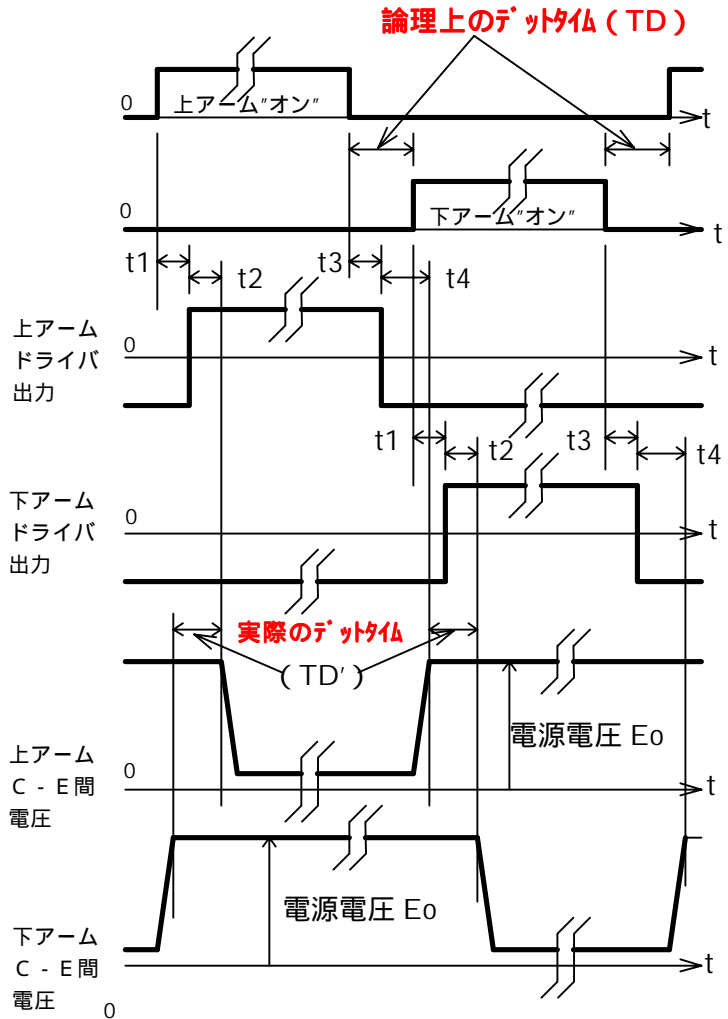


図2. 制御信号、ドライバ電圧  
及び IGBT コレクタ電圧の関係

### 安全に関する注意

製品ご使用前に個別製品の「安全上のご注意とお願」をよくお読みの上、正しくご使用下さい

### お願

本資料に記載された情報・製品や回路の使用に起因する損害または著作権その他権利の侵害に関しては株式会社日立製作所は一切の責任を負いません。本資料によって第三者または株式会社日立製作所の著作権その他権利の一部を侵害するものではありません。本資料の一部または全部を当社に無断で複製または改竄することを堅くお断りします。本資料に記載された製品(技術)を国際平和および安全の維持のためとなる使用目的を有する者に再提供したり、またそのような目的に自ら使用したり第三者に使用させたりしないようお願いいたします。なお、輸出などされる場合はお為めの定めるところに従い必要な手続きをおとりください。

代理店