

今月から3回くらいにわたりまして IGBT の並列接続で使用時の注意事項等について述べてまいります。

並列接続時の注意すべき基本的な事項は

- 1) 定常時の電流不平衡を押さえるため、素子の $V_{CE(sat)}$ の差を小さくし、
- 2) ターンオン、ターンオフ等の過渡時の電流不平衡を押さえるために、素子並列レイアウト時の配線アンバランスを小さくする。

の2点が大事なことです。

1) 項に関しましてはメーカーサイドで選別をして対応が可能であります。2) 項に関しましては、お使いいただくユーザーサイドで対応をして頂かなければなりません。これから述べてまいります内容は2) 項に関するいろいろな注意事項です。

1) 項、2) 項共、電流不平衡率の目安は15%程度に押さえるのが一般的です。

今月はドライバ回路について述べます。

1) 1アームのドライバ数

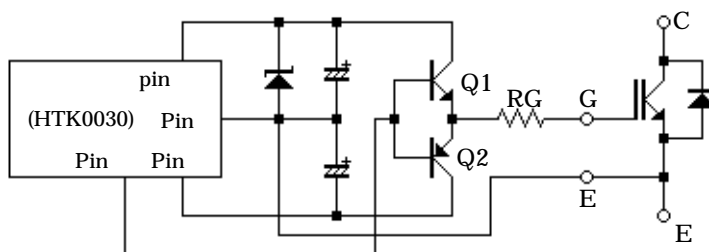
並列接続をされた素子をドライブする際、一部の信号処理回路(ホトカブラ、過電流保護回路等)を含んだドライバ(例えば当社ドライバIC HTK0030)は、並列数に関係なく、1ドライバで構成することをお勧め致します。

これは、ドライバ毎の出力遅延時間のバラツキ等による並列動作への悪影響を回避するためです。

2) ドライバのバッファ回路

例えば、HTK0030 の出力電流ピーク値は、 $2.5A_p$ (パルス幅 $5\mu s$) 以下となっておりますので、並列素子をドライブするためにはバッファ回路が必要となります。図1に示すようなバッファ回路を構成してください。

ここで、トランジスタ Q1、Q2 はコンプリメンタリペアのものをお使いください。



推奨トランジスタ

	Ic	種別	Q1,Q2 形式
1	5A	NPN	2SD1722(50V)
		PNP	2SB1165(-50V)
2	8A	NPN	2SD1723(50V)
		PNP	2SB1166(-50V)

図1 . 当社 HTK0030 でのバッファ回路構成例 (一部の部品記述を省略)

バッファ用トランジスタ Q1、Q2 はドライバ出力電流によって選択します。

3) 並列接続でのゲート抵抗接続法

ドライバと、並列接続された素子との接続は、モジュール間の干渉によるゲート電圧振動を抑制のために、各モジュールにゲート抵抗が接続されるよう、図2のような接続としてください。また、図2においては次の点に留意ください。

- ・ドライバ出力配線はツイストペアとし、低インピーダンス化を図る。
- ・下図のループA、Bに各々存在するインダクタンス (Lgst) を同一とし、その値は極力小さくする
- ・上記 と は主回路スイッチング時の誘導による悪影響を防止するために行います。
- ・前述しましたゲート電圧振動は、ターンオン、ターンオフの各スイッチング時に現れます。振動を防止するためには、ゲート抵抗 R_G とループインダクタンス L_{gst} との間には (1) 式関係を保つようにご注意ください。(この為にも L_{gst} を小さくする必要があります。)

$$2R_G > 2\sqrt{\frac{L_{gst}}{C_{ies}/2}} \quad (1) \quad C_{ies} \text{ は IGBT のゲート入力容量}$$

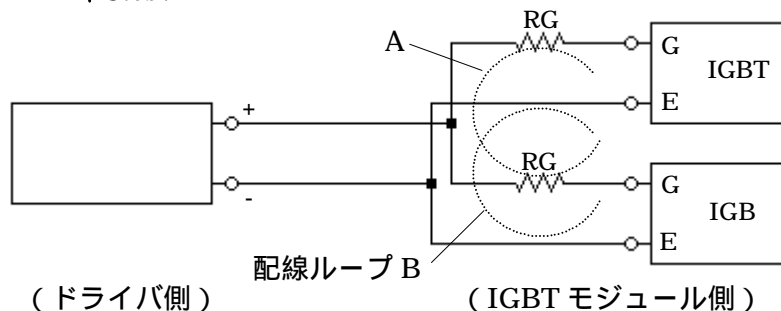


図2 . 並列接続されたモジュールとドライバ回路の接続例

安全に関する注意

製品ご使用の前に個別製品の「安全上のご注意とお願い」をよくお読みの上、正しくご使用下さい。

お願い

本資料に記載された情報・製品や回路の使用に起因する損害または特許権その他権利の侵害に関しては株式会社日立製作所は一切その責任を負いません。
 本資料によって第三者または株式会社日立製作所の特許権その他権利の一部を許諾するものではありません。
 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りします。
 本資料に記載された製品(技術)を国際的平和および安全の維持の妨げとなる使用目的を有する者に再提供したり、またそのような目的に自ら使用したり第三者に使用させたりしないようにお願いします。なお、輸出などされる場合は外為法の定めるところに従い必要な手続きをおとりください。

代理店